

日本特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application: 2002年 7月 4日

出願番号

Application Number: 特願2002-195406

[ST.10/C]:

[JP2002-195406]

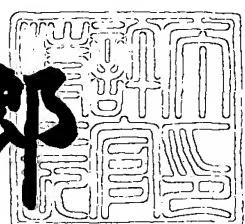
出願人

Applicant(s): 株式会社リコー

2003年 4月25日

特許庁長官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3030889

【書類名】 特許願

【整理番号】 184005

【提出日】 平成14年 7月 4日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 1/28

【発明の名称】 電源回路

【請求項の数】 10

【発明者】

【住所又は居所】 東京都大田区中馬込1丁目3番6号 株式会社リコー内

【氏名】 松尾 正浩

【発明者】

【住所又は居所】 東京都大田区中馬込1丁目3番6号 株式会社リコー内

【氏名】 新田 昇一

【発明者】

【住所又は居所】 東京都大田区中馬込1丁目3番6号 株式会社リコー内

【氏名】 野村 律子

【特許出願人】

【識別番号】 000006747

【住所又は居所】 東京都大田区中馬込1丁目3番6号

【氏名又は名称】 株式会社リコー

【代理人】

【識別番号】 100062144

【弁理士】

【氏名又は名称】 青山 葉

【選任した代理人】

【識別番号】 100086405

【弁理士】

【氏名又は名称】 河宮 治

【手数料の表示】

【予納台帳番号】 013262

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9808860

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 電源回路

【特許請求の範囲】

【請求項1】 直流電源から入力される入力電圧から所定の定電圧を生成して出力端子から出力する電源回路において、

所定の基準電圧を生成して出力する基準電圧発生回路部と、

前記出力端子からの出力電圧を分圧して出力する分圧回路部と、

該分圧回路部から出力される分圧電圧が前記基準電圧になるように、前記入力電圧から定電圧を生成して前記出力端子に出力する電圧制御回路部と、  
を備え、

前記分圧回路部は、外部から入力される信号に応じて分圧比を変えることを特徴とする電源回路。

【請求項2】 前記分圧回路部は、

前記出力端子と前記分圧電圧を出力する出力端との間に直列に接続された複数の抵抗からなる第1の抵抗回路と、

入力される制御信号に応じて該第1の抵抗回路における少なくとも1つの抵抗を短絡する第1のスイッチ回路と、

複数の抵抗からなる第2の抵抗回路と、

入力される制御信号に応じて該第2の抵抗回路における少なくとも1つの抵抗を、前記分圧電圧を出力する出力端と前記直流電源の負側電源端子との間に並列に接続する第2のスイッチ回路と、

外部から入力される制御信号に応じて前記第1及び第2の各スイッチ回路の動作制御を行って分圧比を切り換える切換制御回路と、

を備えることを特徴とする請求項1記載の電源回路。

【請求項3】 前記分圧回路部は、

複数の抵抗からなる第1の抵抗回路と、

入力される制御信号に応じて該第1の抵抗回路における少なくとも1つの抵抗を、前記出力端子と前記分圧電圧を出力する出力端との間に並列に接続する第1のスイッチ回路と、

前記分圧電圧を出力する出力端と前記直流電源の負側電源端子との間に直列に接続された複数の抵抗からなる第2の抵抗回路と、

入力される制御信号に応じて該第2の抵抗回路における少なくとも1つの抵抗を短絡する第2のスイッチ回路と、

外部から入力される制御信号に応じて前記第1及び第2の各スイッチ回路の動作制御を行って分圧比を切り換える切換制御回路と、

を備えることを特徴とする請求項1記載の電源回路。

【請求項4】 前記電圧制御回路部は、

入力される制御信号に応じて、前記直流電源からの入力電圧を出力するスイッチングを行うスイッチングトランジスタと、

前記基準電圧に対する前記分圧回路部からの分圧電圧の誤差を増幅する誤差増幅器と、

該誤差増幅器からの出力信号に応じて前記スイッチングトランジスタのスイッチング制御を行う制御回路部と、

前記スイッチングトランジスタからの出力信号を平滑して前記出力端子に出力する平滑回路部と、

を備えることを特徴とする請求項1、2又は3記載の電源回路。

【請求項5】 前記基準電圧発生回路部、分圧回路部、誤差増幅器及び制御回路部は、1つのICに集積されることを特徴とする請求項4記載の電源回路。

【請求項6】 前記基準電圧発生回路部、分圧回路部、スイッチングトランジスタ、誤差増幅器及び制御回路部は、1つのICに集積されることを特徴とする請求項4記載の電源回路。

【請求項7】 前記平滑回路部は、制御回路部によって動作制御されフライホイールダイオードと同様の働きを行うトランジスタを備え、該トランジスタ、前記基準電圧発生回路部、分圧回路部、スイッチングトランジスタ、誤差増幅器及び制御回路部は、1つのICに集積されることを特徴とする請求項4記載の電源回路。

【請求項8】 前記電圧制御回路部は、

入力される制御信号に応じて、前記直流電源から供給される電流の出力制御を

行う出力制御用トランジスタと、

前記分圧回路部からの分圧電圧が前記基準電圧になるように該出力制御用トランジスタの動作制御を行う誤差増幅器と、  
を備えることを特徴とする請求項1、2又は3記載の電源回路。

【請求項9】 前記基準電圧発生回路部、分圧回路部及び誤差増幅器は、1つのICに集積されることを特徴とする請求項8記載の電源回路。

【請求項10】 前記基準電圧発生回路部、分圧回路部及び電圧制御回路部は、1つのICに集積されることを特徴とする請求項8記載の電源回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、携帯電話等に使用される電源回路に関し、特にスイッチングレギュレータやシリーズレギュレータといったDC-DCコンバータで構成された電源回路に関する。

【0002】

【従来の技術】

従来の電源回路では、通常、負荷側が要求する電圧値を出力するDC-DCコンバータを電源供給側として使用していた。図10で示すように、従来の電源回路は、DC-DCコンバータの出力電圧 $V_o$ を帰還させ、該出力電圧 $V_o$ を分圧回路101で分圧して得られた分圧電圧 $V_d$ と所定の基準電圧 $V_r$ とを比較する手法を行っていた。

【0003】

【発明が解決しようとする課題】

しかし近年、負荷側の要求電圧値は低電圧化する傾向にあり、DC-DCコンバータの出力電圧値の変更が求められる場合があった。また、電源回路を組み込んだ後に、負荷側の部品の変更によって、該電源回路から供給する電圧値が変更された場合等には、新たに電源回路を組み換える必要があった。

【0004】

本発明は、上記のような問題を解決するためになされたものであり、電源回路

自体の消費電力を低減させることができ、複数の出力電圧値を外部から選択することができる構成にしたことにより、負荷側が要求する電源電圧値が変更になった場合でも電源回路を変更することなく、出力電圧値を選ぶことができるDC-DCコンバータで構成された電源回路を得ることを目的とする。

## 【0005】

## 【課題を解決するための手段】

この発明に係る電源回路は、直流電源から入力される入力電圧から所定の定電圧を生成して出力端子から出力する電源回路において、

所定の基準電圧を生成して出力する基準電圧発生回路部と、

前記出力端子からの出力電圧を分圧して出力する分圧回路部と、

該分圧回路部から出力される分圧電圧が前記基準電圧になるように、前記入力電圧から定電圧を生成して前記出力端子に出力する電圧制御回路部と、

を備え、

前記分圧回路部は、外部から入力される信号に応じて分圧比を変えるようにしたものである。

## 【0006】

具体的には、前記分圧回路部は、

前記出力端子と前記分圧電圧を出力する出力端との間に直列に接続された複数の抵抗からなる第1の抵抗回路と、

入力される制御信号に応じて該第1の抵抗回路における少なくとも1つの抵抗を短絡する第1のスイッチ回路と、

複数の抵抗からなる第2の抵抗回路と、

入力される制御信号に応じて該第2の抵抗回路における少なくとも1つの抵抗を、前記分圧電圧を出力する出力端と前記直流電源の負側電源端子との間に並列に接続する第2のスイッチ回路と、

外部から入力される制御信号に応じて前記第1及び第2の各スイッチ回路の動作制御を行って分圧比を切り換える切換制御回路と、  
を備えるようにした。

## 【0007】

また、前記分圧回路部は、  
 複数の抵抗からなる第1の抵抗回路と、  
 入力される制御信号に応じて該第1の抵抗回路における少なくとも1つの抵抗を、前記出力端子と前記分圧電圧を出力する出力端との間に並列に接続する第1のスイッチ回路と、

前記分圧電圧を出力する出力端と前記直流電源の負側電源端子との間に直列に接続された複数の抵抗からなる第2の抵抗回路と、

入力される制御信号に応じて該第2の抵抗回路における少なくとも1つの抵抗を短絡する第2のスイッチ回路と、

外部から入力される制御信号に応じて前記第1及び第2の各スイッチ回路の動作制御を行って分圧比を切り換える切換制御回路と、  
 を備えるようにしてもよい。

#### 【0008】

また具体的には、前記電圧制御回路部は、  
 入力される制御信号に応じて、前記直流電源からの入力電圧を出力するスイッチングを行うスイッチングトランジスタと、

前記基準電圧に対する前記分圧回路部からの分圧電圧の誤差を增幅する誤差増幅器と、

該誤差増幅器からの出力信号に応じて前記スイッチングトランジスタのスイッチング制御を行う制御回路部と、

前記スイッチングトランジスタからの出力信号を平滑して前記出力端子に出力する平滑回路部と、  
 を備えるようにした。

#### 【0009】

この場合、前記基準電圧発生回路部、分圧回路部、誤差増幅器及び制御回路部を1つのICに集積するようにしてもよいし、前記基準電圧発生回路部、分圧回路部、スイッチングトランジスタ、誤差増幅器及び制御回路部を1つのICに集積するようにしてもよい。

#### 【0010】

また、前記平滑回路部は、制御回路部によって動作制御されフライホイールダイオードと同様の働きを行うトランジスタを備え、該トランジスタ、前記基準電圧発生回路部、分圧回路部、スイッチングトランジスタ、誤差増幅器及び制御回路部を1つのICに集積するようにしてもよい。

## 【0011】

一方、前記電圧制御回路部は、

入力される制御信号に応じて、前記直流電源から供給される電流の出力制御を行う出力制御用トランジスタと、

前記分圧回路部からの分圧電圧が前記基準電圧になるように該出力制御用トランジスタの動作制御を行う誤差増幅器と、  
を備えるようにしてもよい。

## 【0012】

この場合、前記基準電圧発生回路部、分圧回路部及び誤差増幅器を1つのICに集積するようにしてもよいし、前記基準電圧発生回路部、分圧回路部及び電圧制御回路部を1つのICに集積するようにしてもよい。

## 【0013】

## 【発明の実施の形態】

次に、図面に示す実施の形態に基づいて、本発明を詳細に説明する。

## 第1の実施の形態。

図1は、本発明の第1の実施の形態における電源回路の例を示した回路図である。なお、図1では、スイッチングレギュレータからなるDC-DCコンバータで形成されている場合を例にして示している。

図1において、電源回路1は、電池等の直流電源10から入力される電圧V<sub>b</sub>atを出力するスイッチングを行うPチャネル型MOSトランジスタ（以下、PMOSトランジスタと呼ぶ）からなるスイッチングトランジスタ2と、該スイッチングトランジスタ2からの出力信号を平滑して出力端子OUTに出力する平滑回路部3とを備えている。

## 【0014】

更に、電源回路1は、所定の基準電圧V<sub>r</sub>を生成して出力する基準電圧発生回

路部4と、出力端子OUTから出力される電圧 $V_o$ を分圧して分圧電圧 $V_d$ を生成し出力する分圧回路部5と、基準電圧 $V_r$ に対する分圧電圧 $V_d$ の誤差を増幅して出力する誤差増幅器6と、該誤差増幅器6からの出力信号に応じて前記スイッチングトランジスタ2のスイッチング制御を行う制御回路部7とを備えている。

#### 【0015】

出力電圧 $V_o$ は分圧回路部5で分圧され、該分圧電圧 $V_d$ と基準電圧 $V_r$ との差電圧を誤差増幅器6で増幅する。制御回路部7は、例えば三角波のパルス信号を発生させる発振回路とコンパレータとを備え、該発振回路の出力信号と誤差増幅器6の出力信号の各電圧を該コンパレータで比較し、コンパレータは、該比較結果に応じてスイッチングトランジスタ2のオン時間を制御する。スイッチングトランジスタ2から出力された信号は、フライホイールダイオードをなすダイオードD1、コイルL1及びコンデンサC1からなる平滑回路部3で平滑されて出力電圧 $V_o$ として出力される。

#### 【0016】

ここで、分圧回路部5は、入力される制御信号に応じて分圧比を切り換えて分圧電圧 $V_d$ を生成し出力する分圧回路11と、外部から入力される電圧切換信号 $S_c$ に応じて該分圧回路11の分圧比の切換制御を行う切換制御回路12とを備えている。

#### 【0017】

図2は、分圧回路部5の回路例を示した図であり、図2を用いて分圧回路部5の動作例についてもう少し詳細に説明する。

図2において、分圧回路11は、直列に接続されたn個の抵抗 $R_{A1} \sim R_{An}$ 、n個の抵抗 $R_{B1} \sim R_{Bn}$ 、(n-1)個のPMOSトランジスタ $Q_{P1} \sim Q_{Pn-1}$ 、n個のNチャネル型MOSトランジスタ(以下、NMOSトランジスタと呼ぶ) $Q_{N1} \sim Q_{Nn}$ 及びコンデンサ $C_1 \sim C_6$ で構成されている。なお、図2では、抵抗 $R_{A1} \sim R_{An}$ が第1の抵抗回路をなし、抵抗 $R_{B1} \sim R_{Bn}$ は第2の抵抗回路をなすと共に、PMOSトランジスタ $Q_{P1} \sim Q_{Pn-1}$ が第1のスイッチ回路をなし、NMOSトランジスタ $Q_{N1} \sim Q_{Nn}$ が第2のスイッチ回路を

なす。

[0018]

出力端子OUTと分圧回路11の出力端15との間には抵抗RA1～RA<sub>n</sub>が直列に接続されており、抵抗RA1～RA<sub>n</sub>-1には、対応するPMOSトランジスタQP1～QP<sub>n</sub>-1がそれぞれ並列に接続されている。PMOSトランジスタQP1～QP<sub>n</sub>-1の各ゲートには、切換制御回路12からの制御信号SP1～SP<sub>n</sub>-1が対応して入力されている。また、出力端子OUTと出力端15との間にはコンデンサ16が接続されている。更に、出力端15と接地電圧との間には、抵抗RB1～RB<sub>n</sub>にNMOSトランジスタQN1～QN<sub>n</sub>が対応して直列に接続されてなる各直列回路がそれぞれ並列に接続されている。NMOSトランジスタQN1～QN<sub>n</sub>の各ゲートには、切換制御回路12からの制御信号SP1～SP<sub>n</sub>が対応して入力されている。

[0019]

切換制御回路 1 2 は、外部から入力された電圧切換信号  $S_c$  に応じて制御信号  $S_P 1 \sim S_P n$  のいずれか 1 つだけハイレベルにして、他の制御信号はすべてローレベルにする。例えば制御信号  $S_P m$  ( $m = 1 \sim n - 1$ ) がハイレベルになってその他の制御信号がそれぞれローレベルになった場合、PMOS トランジスタ  $Q_P 1 \sim Q_P n - 1$  の内、PMOS トランジスタ  $Q_P m$  のみオフして遮断状態になるとと共に他の PMOS トランジスタはそれぞれオンして導通状態になる。同時に、NMOS トランジスタ  $Q_N 1 \sim Q_N n$  の内、NMOS トランジスタ  $Q_N m$  のみオンして導通状態になるとと共に他の NMOS トランジスタはそれぞれオフして遮断状態になる。このため、出力端子  $OUT$  と出力端  $1 5$ との間には抵抗  $R_{A m}$  及び  $R_{A n}$  が直列に接続され、出力端  $1 5$  と接地電圧との間に抵抗  $R_{B m}$  が接続された状態になる。

[0 0 2 0]

このような状態では、下記（1）式が成り立つ。

なお、前記(1)式において、 $R_{Am}$ 、 $R_{Bm}$ 及び $R_{An}$ は、抵抗 $R_{Am}$ 、 $R_{Bm}$ 及び $R_{An}$ の抵抗値をそれぞれ示している。

[0 0 2 1]

誤差増幅器 6 の反転入力端と非反転入力端の各電圧は、イマジナリーショートによって同じになり、すなわち  $V_d = V_r$  となる。このため、前記（1）式は、下記（2）式のようになる。

[0 0 2 2]

また、制御信号  $S P_n$  がハイレベルになって制御信号  $S P_1 \sim S P_{n-1}$  がそれぞれローレベルになった場合、PMOSトランジスタ  $Q P_1 \sim Q P_{n-1}$  はそれぞれオンして導通状態になると共に、NMOSトランジスタ  $Q N_n$  がオンして導通状態になりNMOSトランジスタ  $Q N_1 \sim Q N_{n-1}$  はそれぞれオフして遮断状態になる。このため、出力端子  $OUT$  と出力端  $15$  との間には抵抗  $R A_n$  が接続され、出力端  $15$  と接地電圧との間に抵抗  $R B_n$  が接続された状態になる。

【0023】

このような状態では、下記（3）式が成り立つ。

$$V_o \times R_B n / (R_A n + R_B n) = V_d \dots \dots \dots \quad (3)$$

なお、前記(1)式において、 $R_B n$ は、抵抗 $R_B n$ の抵抗値を示している。

【0024】

誤差増幅器 6 の反転入力端と非反転入力端の各電圧は、イマジナリショートによって同じになり、すなわち  $V_d = V_r$  となる。このため、前記（3）式は、下記（4）式のようになる。

このように、電圧切換信号  $S_c$  によって、前記(2)式及び(4)式から得られる異なる出力電圧  $V_o$  を選択することができる。

【0025】

ここで、図3は、図2で $n = 2$ の場合における分圧回路1 1及び切換制御回路1 2の例を示した回路図である。

図3では、出力端子OUTと出力端15との間に抵抗RA1及びRA2が直列に接続され、抵抗RA1には、PMOSトランジスタQP1が並列に接続されている。また、出力端子OUTと出力端15との間にはコンデンサ16が接続され

ている。

[0 0 2 6]

更に、出力端 15 と接地電圧との間には、抵抗 RB1 及び RB2 に NMOS トランジスタ QN1 及び QN2 が対応して直列に接続されてなる各直列回路がそれぞれ並列に接続されている。PMOS トランジスタ QP1 及び NMOS トランジスタ QN1 の各ゲートには、インバータ 17 で構成された切換制御回路 12 からの制御信号 SP1 として電圧切換信号 Sc がそれぞれ入力されている。また、NMOS トランジスタ QN2 のゲートには、インバータ 17 の出力信号で電圧切換信号 Sc の信号レベルを反転させた制御信号 SP2 が入力されている。

[0027]

図3の場合、前記(2)式は下記(5)式のようになり、前記(4)式は下記(6)式のようになる。

[0028]

なお、図1において、基準電圧発生回路部4、分圧回路部5、誤差増幅器6及び制御回路部7を1つのICに集積しており、場合によってはスイッチングトランジスタ2を含めて1つのICに集積するようにしてもよい。また、図1のダイオードD1の代わりにNMOSトランジスタ21を使用してもよく、このようにした場合、図1の電源回路1は、図4のようになる。なお、図4では、図1と同じものは同じ符号で示しており、その説明を省略する。また、フライホイールダイオードの代わりに制御回路部7によって動作制御されるNMOSトランジスタ21を使用することは公知であり、ここではその動作の説明を省略する。図4のようとした場合、スイッチングトランジスタ2、基準電圧発生回路部4、分圧回路部5、誤差増幅器6、制御回路部7及びNMOSトランジスタ21は、1つのICに集積することができる。

[0029]

また、図1では電源回路1として降圧型のスイッチングレギュレータを例にして説明したが、昇圧型のスイッチングレギュレータの場合は図5のようになる。

なお、図5では、図1と同じものは同じ符号で示しており、ここではその説明を省略し、図1との相違点のみ説明する。

図5において、電源回路1は、ゲートに入力される制御信号に応じてスイッチングを行うNMO Sトランジスタからなるスイッチングトランジスタ31と、該スイッチングトランジスタ31からの出力信号を平滑して出力端子OUTに出力する平滑回路部32と、基準電圧発生回路部4と、分圧回路部5と、誤差増幅器6と、該誤差増幅器6からの出力信号に応じて前記スイッチングトランジスタ31のスイッチング制御を行う制御回路部33とを備えている。

#### 【0030】

出力電圧 $V_o$ は分圧回路部5で分圧され、該分圧電圧 $V_d$ と基準電圧 $V_r$ との差電圧を誤差増幅器6で増幅する。制御回路部33は、例えば三角波のパルス信号を発生させる発振回路とコンパレータとを備え、該発振回路の出力信号と誤差増幅器6の出力信号の各電圧を該コンパレータで比較し、コンパレータは、該比較結果に応じてスイッチングトランジスタ31のオン時間を制御する。スイッチングトランジスタ31から出力された信号は、整流ダイオードをなすダイオードD2、コイルL2及びコンデンサC2からなる平滑回路部32で平滑されて出力電圧 $V_o$ として出力される。

#### 【0031】

このような構成の電源回路1において、基準電圧発生回路部4、分圧回路部5、誤差増幅器6及び制御回路部33を1つのICに集積しており、場合によってはスイッチングトランジスタ31を含めて1つのICに集積するようにしてもよい。

#### 【0032】

一方、前記説明では電源回路1がスイッチングレギュレータである場合を例にして説明したが、電源回路1がシリーズレギュレータであってもよく、この場合図1の電源回路1は、図6のようになる。なお、図6では、図1と同じものは同じ符号で示しており、ここではその説明を省略し、図1との相違点のみ説明する。

図6において、電源回路1は、基準電圧発生回路部4と、分圧回路部5と、誤

差増幅器6と、該誤差増幅器6からゲートに入力される電圧に応じた電流を出力端子OUTに出力するPMOSトランジスタからなる出力制御用トランジスタ41と、出力端子OUTから出力される電圧を安定させるためのコンデンサ42とを備えている。

## 【0033】

出力電圧V<sub>o</sub>は、分圧回路部5で分圧され、該分圧電圧V<sub>d</sub>と基準電圧V<sub>r</sub>との差電圧を誤差増幅器6で増幅して出力制御用トランジスタ41のゲートに出力される。このように、誤差増幅器6は、出力制御用トランジスタ41の動作制御を行って、出力電圧V<sub>o</sub>が所望の電圧で一定になるようにしている。

このような構成の電源回路1において、基準電圧発生回路部4、分圧回路部5及び誤差増幅器6を1つのICに集積しており、場合によっては出力制御用トランジスタ41を含めて1つのICに集積するようにしてもよい。

## 【0034】

なお、前記説明では、分圧回路部5の切換制御回路12は、入力された電圧切換信号S<sub>c</sub>に応じて、PMOSトランジスタQ<sub>P1</sub>～Q<sub>Pn-1</sub>のいずれか1つを排他的にオフさせるか又はすべてオンさせると共に、NMOSトランジスタQ<sub>N1</sub>～Q<sub>Nn</sub>のいずれか1つを排他のにオンさせるようにしたが、これは一例であり、入力された電圧切換信号S<sub>c</sub>に応じて、PMOSトランジスタQ<sub>P1</sub>～Q<sub>Pn-1</sub>の複数を同時にオフさせると共に、NMOSトランジスタQ<sub>N1</sub>～Q<sub>Nn</sub>の複数を同時にオンさせるようにしてもよい。また、分圧回路部5の切換制御回路12は、入力された電圧切換信号S<sub>c</sub>に応じて、PMOSトランジスタQ<sub>P1</sub>～Q<sub>Pn-1</sub>のいずれか1つを排他のにオンさせるか又はすべてオフさせると共に、NMOSトランジスタQ<sub>N1</sub>～Q<sub>Nn</sub>のいずれか1つを排他のにオフさせるようにしてもよい。

## 【0035】

このように、本第1の実施の形態における電源回路は、出力電圧V<sub>o</sub>を分圧して分圧電圧V<sub>d</sub>を生成し出力する、帰還回路を形成した分圧回路部5が、外部からの電圧切換信号S<sub>c</sub>に応じて出力電圧V<sub>o</sub>に対する分圧比を変えて分圧電圧V<sub>d</sub>を生成して、出力電圧V<sub>o</sub>の電圧値を切り換えるようにした。すなわち、複数

の出力電圧値を外部から選択することができる構成にしたことにより、負荷側が要求する電源電圧値が変更になった場合でも電源回路を変更することなく、出力電圧値を容易に変えることができ、負荷に応じた電圧の電源を供給することができることから、電源回路自体の消費電力を低減させることができる。

## 【0036】

また、NMOSトランジスタQN1～QNnがオフして遮断状態になると、該遮断状態になったNMOSトランジスタに接続された抵抗(RB1～RBn)が遮断されることから、該抵抗が有する寄生容量を遮断することができ、位相設計等を容易に行うことができる。

## 【0037】

第2の実施の形態.

次に、前記第1の実施の形態における電源回路1の分圧回路部5の回路構成を変えたものを本発明の第2の実施の形態とする。

図7は、本発明の第2の実施の形態における電源回路の例を示した回路図である。なお、図7では、図1と同じものは同じ符号で示しており、ここではその説明を省略する。また、図7では、スイッチングレギュレータからなるDC-DCコンバータで形成されている場合を例にして示している。

## 【0038】

図7において、電源回路51は、スイッチングトランジスタ2と、平滑回路部3と、基準電圧発生回路部4と、出力端子OUTから出力される電圧V<sub>o</sub>を分圧して分圧電圧V<sub>d</sub>を生成し出力する分圧回路部52と、誤差増幅器6と、制御回路部7とを備えている。

分圧回路部52は、入力される制御信号に応じて分圧比を切り換えて分圧電圧V<sub>d</sub>を生成し出力する分圧回路61と、外部から入力される電圧切換信号S<sub>c</sub>に応じて該分圧回路61の分圧比の切換制御を行う切換制御回路62とを備えている。

## 【0039】

図8は、分圧回路部52の回路例を示した図であり、図8を用いて分圧回路部52の動作例についてもう少し詳細に説明する。なお、図8では、図2と同じも

のは同じ符号で示している。

図8において、分圧回路61は、n個の抵抗RC1～RCn、直列に接続されたn個の抵抗RD1～RDn、n個のPMOSトランジスタQp1～Qpn、(n-1)個のNMOSトランジスタQN1～QNN-1及びコンデンサS16で構成されている。なお、図8では、抵抗RC1～RCnが第1の抵抗回路をなし、抵抗RD1～RDnが第2の抵抗回路をなすと共に、PMOSトランジスタQp1～Qpnが第1のスイッチ回路を、NMOSトランジスタQN1～QNN-1が第2のスイッチ回路をなす。

#### 【0040】

分圧回路61の出力端65と接地電圧との間には抵抗RD1～RDnが直列に接続されており、抵抗RD1～RDn-1には、対応するNMOSトランジスタQN1～QNN-1がそれぞれ並列に接続されている。NMOSトランジスタQN1～QNN-1の各ゲートには、切換制御回路62からの制御信号SN1～SNn-1が対応して入力されている。また、出力端子OUTと出力端65との間にはコンデンサS16が接続されている。更に、出力端子OUTと出力端65との間には、抵抗RC1～RCnにPMOSトランジスタQp1～Qpnが対応して直列に接続されてなる各直列回路がそれぞれ並列に接続されている。PMOSトランジスタQp1～Qpnの各ゲートには、切換制御回路62からの制御信号SN1～SNnが対応して入力されている。

#### 【0041】

切換制御回路62は、外部から入力された電圧切換信号Scに応じて制御信号SN1～SNnのいずれか1つだけローレベルにして、他の制御信号はすべてハイレベルにする。例えば制御信号SNm(m=1～n-1)がローレベルになつてその他の制御信号がそれぞれハイレベルになった場合、PMOSトランジスタQp1～Qpnの内、PMOSトランジスタQpmのみオンして導通状態になるとと共に他のPMOSトランジスタはそれぞれオフして遮断状態になる。同時に、NMOSトランジスタQN1～QNN-1の内、NMOSトランジスタQNmのみオフして遮断状態になるとと共に他のNMOSトランジスタはそれぞれオンして導通状態になる。このため、出力端子OUTと出力端65との間には抵抗RCm

が接続され、出力端 6 5 と接地電圧との間に抵抗 R D m と抵抗 R D n が直列に接続された状態になる。

## 【0042】

このような状態では、下記 (7) 式が成り立つ。

$$V_o \times (R D m + R D n) / (R C m + R D m + R D n) = V_d \dots \dots \dots \quad (7)$$

なお、前記 (7) 式において、R C m、R D m 及び R D n は、抵抗 R C m、R D m 及び R D n の抵抗値をそれぞれ示している。

## 【0043】

誤差増幅器 6 の反転入力端と非反転入力端の各電圧は、イマジナリショートによって同じになり、すなわち  $V_d = V_r$  となる。このため、前記 (7) 式は、下記 (8) 式のようになる。

$$V_o = V_r \times (R C m + R D m + R D n) / (R D m + R D n) \dots \dots \dots \quad (8)$$

## 【0044】

また、制御信号 S N n がローレベルになって制御信号 S N 1 ~ S N n - 1 がそれぞれハイレベルになった場合、PMOS トランジスタ Q P 1 ~ Q P n - 1 はそれぞれオフして遮断状態になり PMOS トランジスタ Q P n がオンして導通状態になると共に、NMOS トランジスタ Q N 1 ~ Q N n - 1 はそれぞれオンして導通状態になる。このため、出力端子 OUT と出力端 6 5との間に抵抗 R C n が接続され、出力端 6 5 と接地電圧との間に抵抗 R D n が接続された状態になる。

## 【0045】

このような状態では、下記 (9) 式が成り立つ。

$$V_o \times R D n / (R C n + R D n) = V_d \dots \dots \dots \quad (9)$$

なお、前記 (9) 式において、R D n は、抵抗 R D n の抵抗値を示している。

## 【0046】

誤差増幅器 6 の反転入力端と非反転入力端の各電圧は、イマジナリショートによって同じになり、すなわち  $V_d = V_r$  となる。このため、前記 (9) 式は、下記 (10) 式のようになる。

$$V_o = V_r \times (R C n + R D n) / R D n \dots \dots \dots \quad (10)$$

このように、電圧切換信号 S c によって、前記 (8) 式及び (10) 式から得

られる異なった出力電圧  $V_o$  を選択することができる。

【0047】

ここで、図9は、図8で  $n = 2$  の場合における分圧回路61及び切換制御回路62の例を示した回路図である。

図9では、出力端子OUTと出力端65との間には、抵抗RC1及びRC2にPMOSトランジスタQ<sub>P</sub>1及びQ<sub>P</sub>2が対応して直列に接続されてなる各直列回路がそれぞれ並列に接続されている。また、出力端子OUTと出力端65との間にはコンデンサS16が接続されている。更に、出力端65と接地電圧との間に抵抗RD1及びRD2が直列に接続され、抵抗RD1には、NMOSトランジスタQ<sub>N</sub>1が並列に接続されている。

【0048】

PMOSトランジスタQ<sub>P</sub>1及びNMOSトランジスタQ<sub>N</sub>1の各ゲートには、インバータ67で構成された切換制御回路62からの制御信号SN1として電圧切換信号Scがそれぞれ入力されている。また、PMOSトランジスタQ<sub>P</sub>2のゲートには、インバータ67の出力信号で電圧切換信号Scの信号レベルを反転させた制御信号SN2が入力されている。

【0049】

図9の場合、前記(8)式は下記(11)式のようになり、前記(10)式は下記(12)式のようになる。

$$V_o = V_r \times (RC1 + RD1 + RD2) / (RD1 + RD2) \dots \dots \dots (11)$$

$$V_o = V_r \times (RC2 + RD2) / RD2 \dots \dots \dots \dots \dots (12)$$

【0050】

なお、図7において、基準電圧発生回路部4、分圧回路部52、誤差増幅器6及び制御回路部7を1つのICに集積しており、場合によってはスイッチングトランジスタ2を含めて1つのICに集積するようにしてもよい。また、図7のダイオードD1の代わりにNMOSトランジスタ21を使用してもよく、このようにした場合、図7の電源回路51は、図4の分圧回路部5を分圧回路部52に置き換える以外は図4と同様になる。この場合、スイッチングトランジスタ2、基準電圧発生回路部4、分圧回路部52、誤差増幅器6、制御回路部7及びNMOSトランジスタ21を1つのICに集積してもよい。

Sトランジスタ21は、1つのICに集積することができる。

【0051】

また、図7では電源回路51として降圧型のスイッチングレギュレータを例にして説明したが、昇圧型のスイッチングレギュレータの場合は、図5の分圧回路部5を分圧回路部52に置き換える以外は図5と同様になる。このような構成の電源回路51において、基準電圧発生回路部4、分圧回路部52、誤差増幅器6及び制御回路部33を1つのICに集積しており、場合によってはスイッチングトランジスタ31を含めて1つのICに集積するようにしてもよい。

【0052】

一方、前記説明では電源回路51がスイッチングレギュレータである場合を例にして説明したが、電源回路51がシリーズレギュレータであってもよく、この場合図7の電源回路51は、図6の分圧回路部5を分圧回路部52に置き換える以外は図6と同様になる。このような構成の電源回路51において、基準電圧発生回路部4、分圧回路部52及び誤差増幅器6を1つのICに集積しており、場合によっては出力制御用トランジスタ41を含めて1つのICに集積するようにしてもよい。

【0053】

なお、前記説明では、分圧回路部52の切換制御回路62は、入力された電圧切換信号Scに応じて、PMOSトランジスタQP1～QPnのいずれか1つを排他的にオンさせると共に、NMOSトランジスタQN1～QNn-1のいずれか1つを排他のにオフさせるか又はすべてオンさせるようにしたが、これは一例であり、入力された電圧切換信号Scに応じて、PMOSトランジスタQP1～QPnの複数を同時にオンさせると共に、NMOSトランジスタQN1～QNn-1の複数を同時にオフさせるようにしてもよい。また、分圧回路部52の切換制御回路62は、入力された電圧切換信号Scに応じて、PMOSトランジスタQP1～QPnのいずれか1つを排他のにオフさせると共に、NMOSトランジスタQN1～QNn-1のいずれか1つを排他のにオンさせるか又はすべてオフさせるようにしてもよい。

【0054】

このように、本第2の実施の形態における電源回路は、出力電圧 $V_o$ を分圧して分圧電圧 $V_d$ を生成し出力する、帰還回路を形成した分圧回路部52が、外部からの電圧切換信号 $S_c$ に応じて出力電圧 $V_o$ に対する分圧比を変えて分圧電圧 $V_d$ を生成するようにした。このことから、前記第1の実施の形態と同様の効果を得ることができると共に、PMOSトランジスタ $Q_P1 \sim Q_Pn$ がオフして遮断状態になると、該遮断状態になったPMOSトランジスタに接続された抵抗( $R_C1 \sim R_Cn$ )が遮断されることから、該抵抗が有する寄生容量を遮断することができ、位相設計等を容易に行うことができる。

【0055】

【発明の効果】

上記の説明から明らかなように、本発明の電源回路によれば、出力端子から出力される電圧を分圧した分圧電圧を生成し出力する、帰還回路を形成した分圧回路部が、外部から入力される信号に応じて出力端子から出力される電圧に対する分圧比を変えて該分圧電圧を生成するようにした。すなわち、複数の出力電圧値を外部から選択することができる構成にしたことにより、負荷側が要求する電源電圧値が変更になった場合でも電源回路を変更することなく、出力電圧値を容易に変えることができ、負荷に応じた電圧の電源を供給することができることから、電源回路自体の消費電力を低減させることができる。

【図面の簡単な説明】

【図1】 本発明の第1の実施の形態における電源回路の例を示した回路図である。

【図2】 図1の分圧回路部5の回路例を示した図である。

【図3】  $n = 2$ の場合における分圧回路11及び切換制御回路12の例を示した回路図である。

【図4】 本発明の第1の実施の形態における電源回路の他の例を示した回路図である。

【図5】 本発明の第1の実施の形態における電源回路の他の例を示した回路図である。

【図6】 本発明の第1の実施の形態における電源回路の他の例を示した回

路図である。

【図7】 本発明の第2の実施の形態における電源回路の例を示した回路図である。

【図8】 図7の分圧回路部52の回路例を示した図である。

【図9】  $n = 2$  の場合における分圧回路61及び切換制御回路62の例を示した回路図である。

【図10】 従来の電源回路の例を示した回路図である。

【符号の説明】

1, 51 電源回路

2, 31 スイッチングトランジスタ

3, 32 平滑回路部

4 基準電圧発生回路部

5, 52 分圧回路部

6 誤差増幅器

7, 33 制御回路部

10 直流電源

11, 61 分圧回路

12, 62 切換制御回路

41 出力制御用トランジスタ

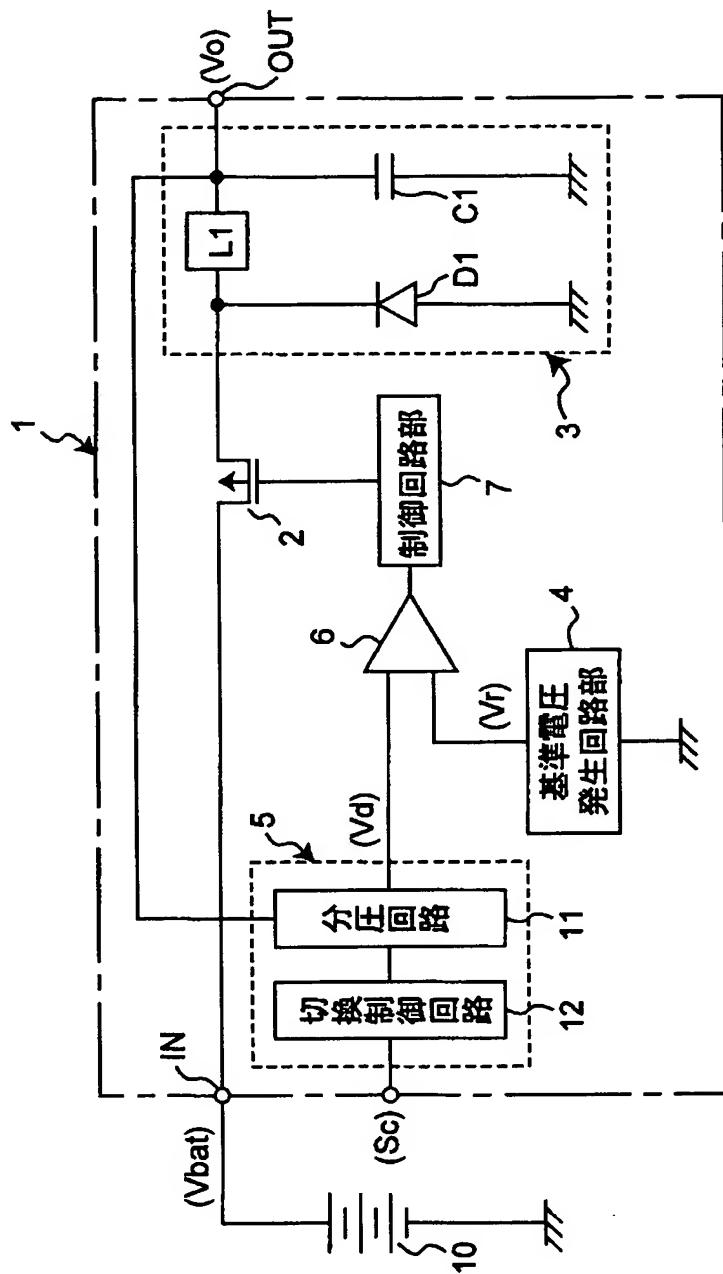
QP1～QPn PMOSトランジスタ

QN1～QNn NMOSトランジスタ

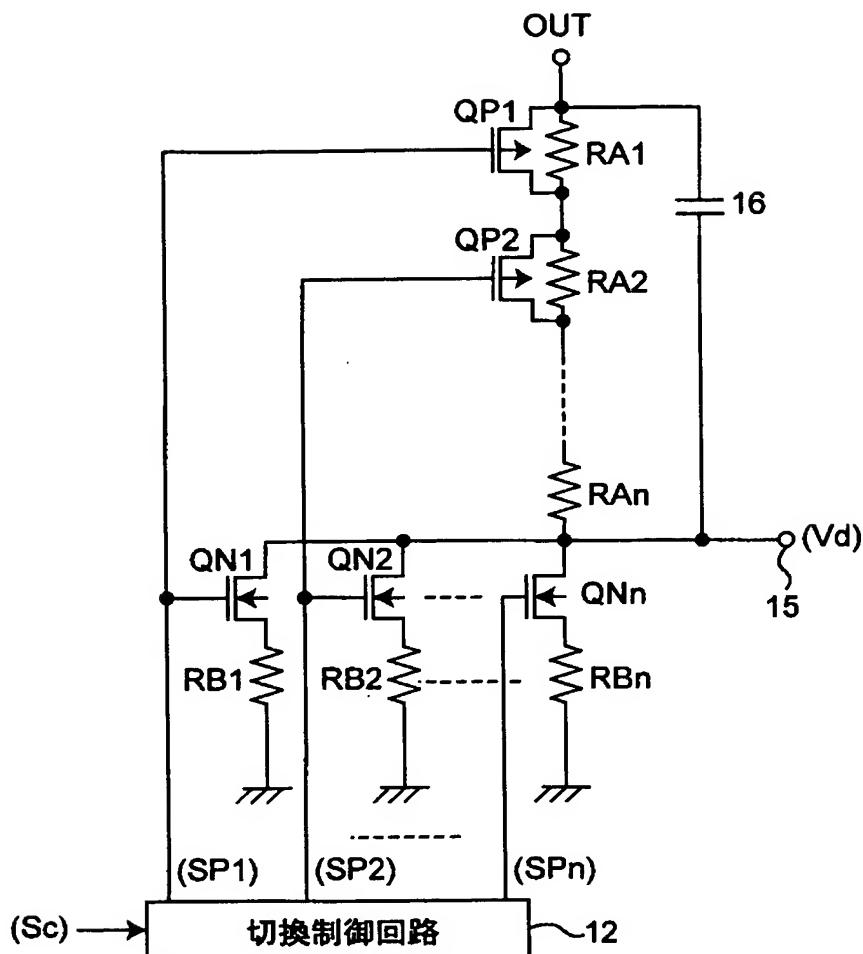
RA1～RAn, RB1～RBn, RC1～RCn, RD1～RDn 抵抗

【書類名】 図面

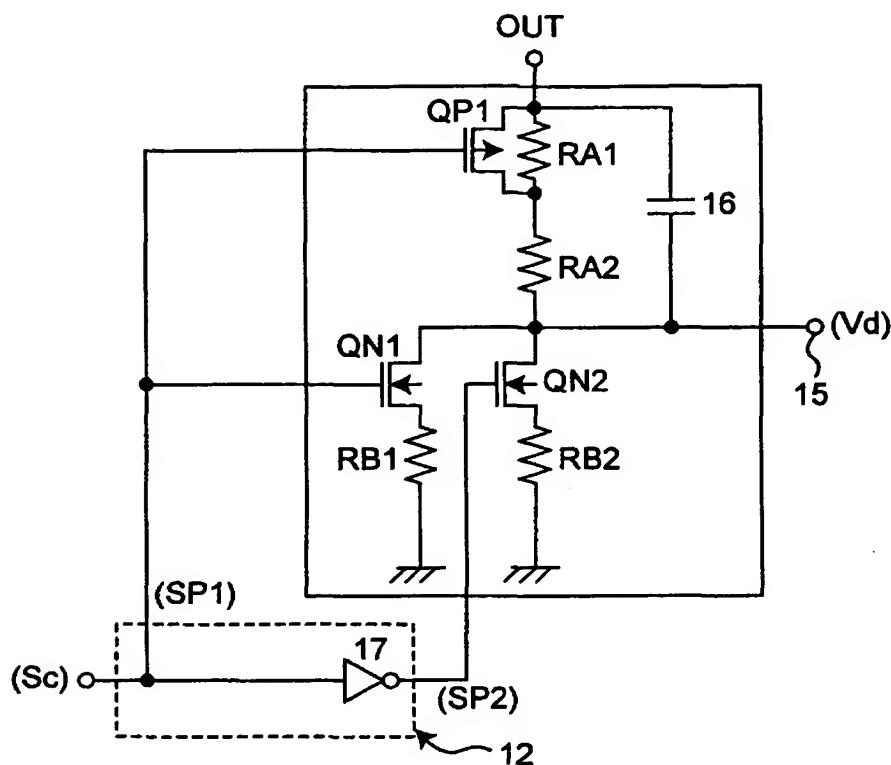
【図1】



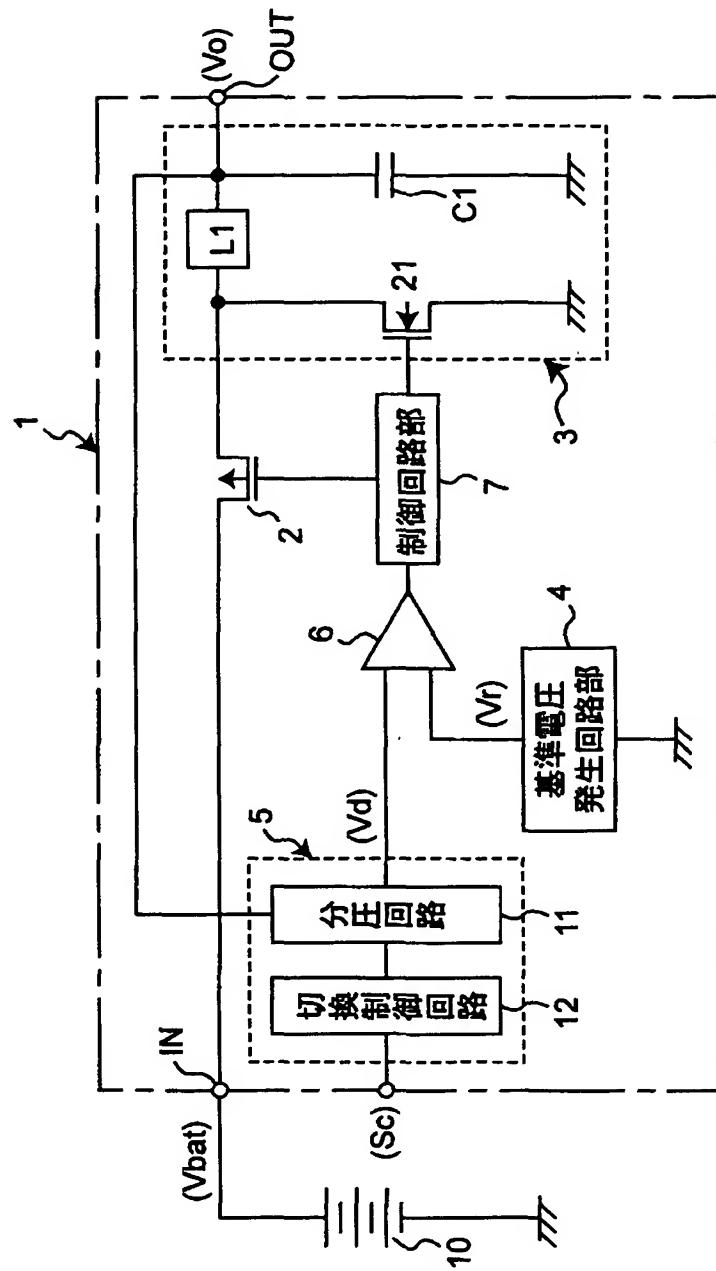
【図2】



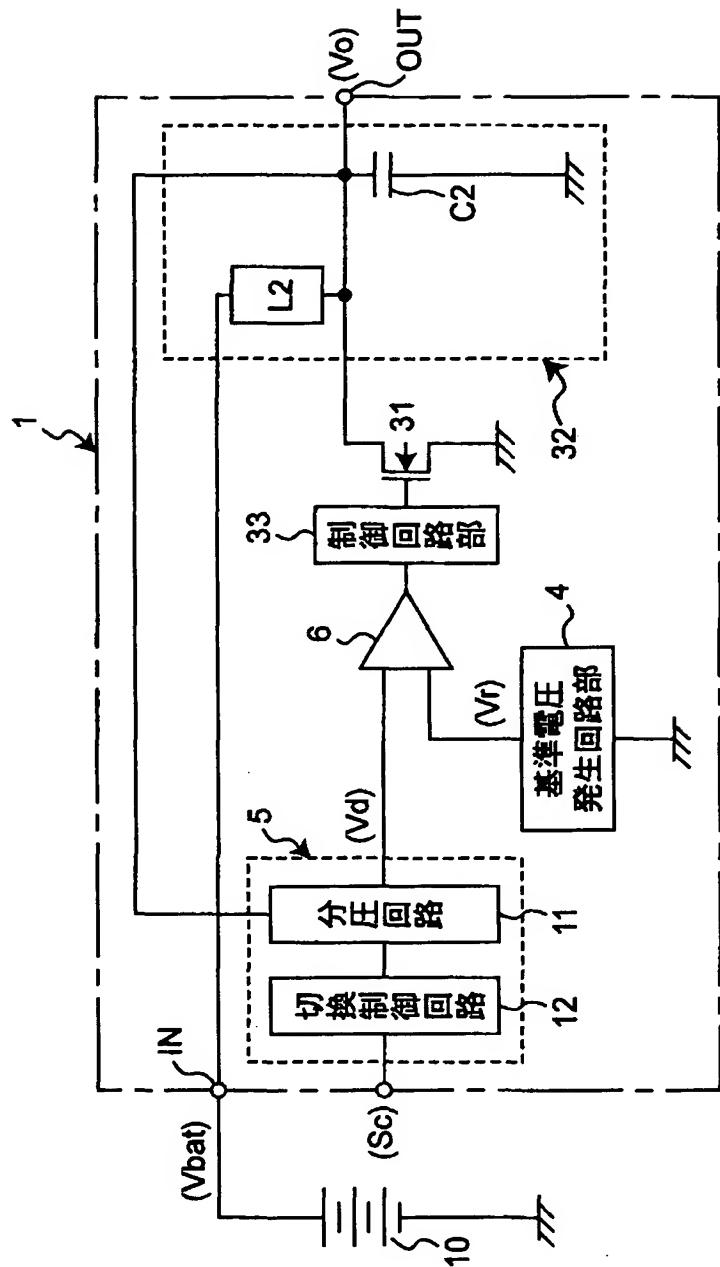
【図3】



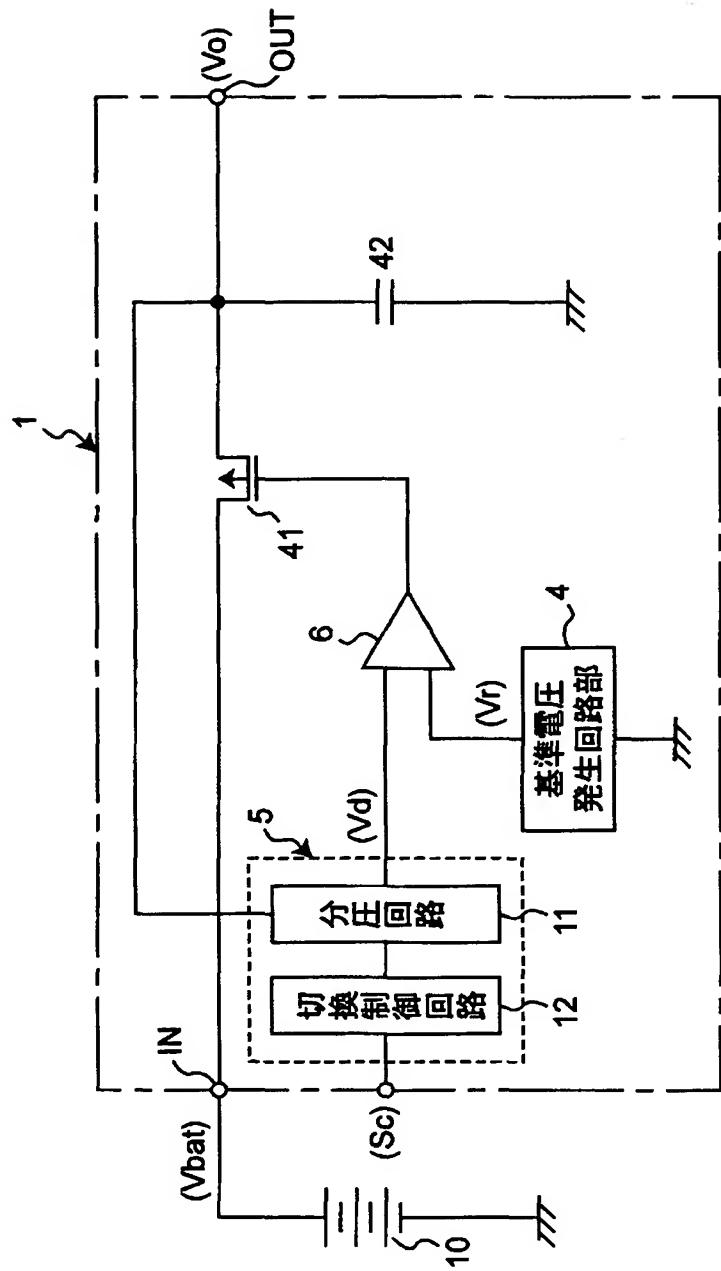
【図4】



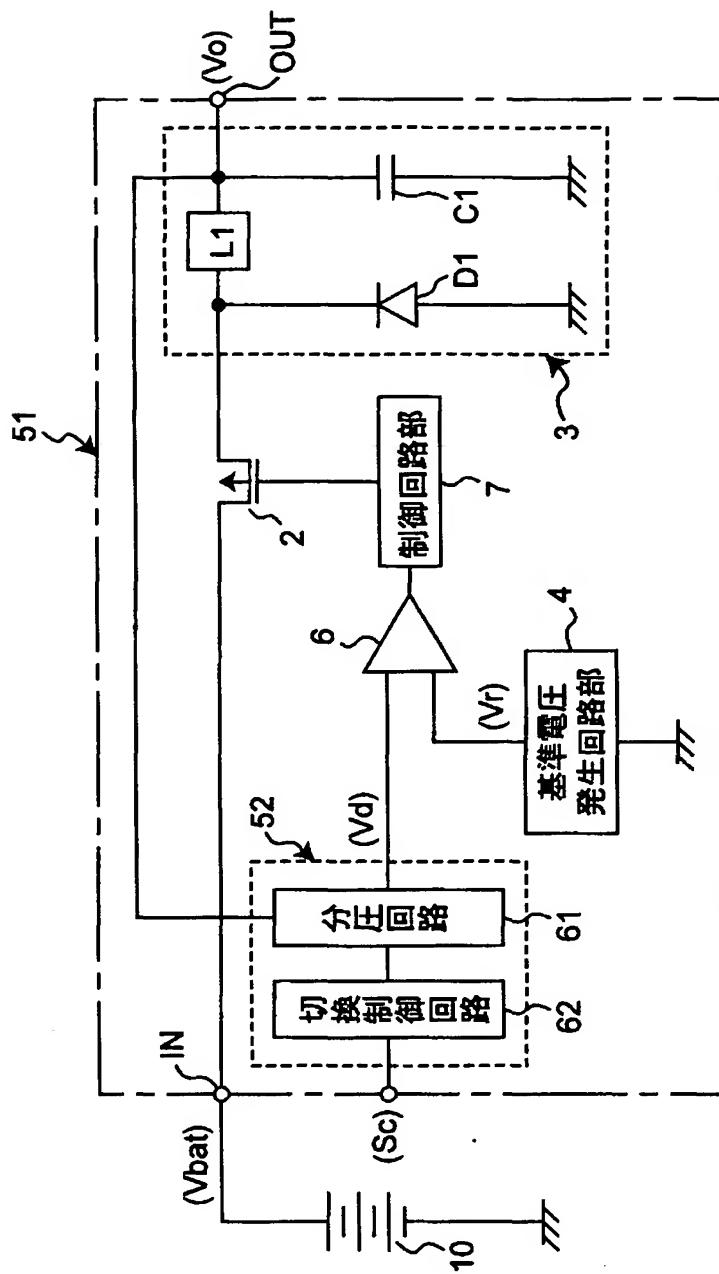
【図5】



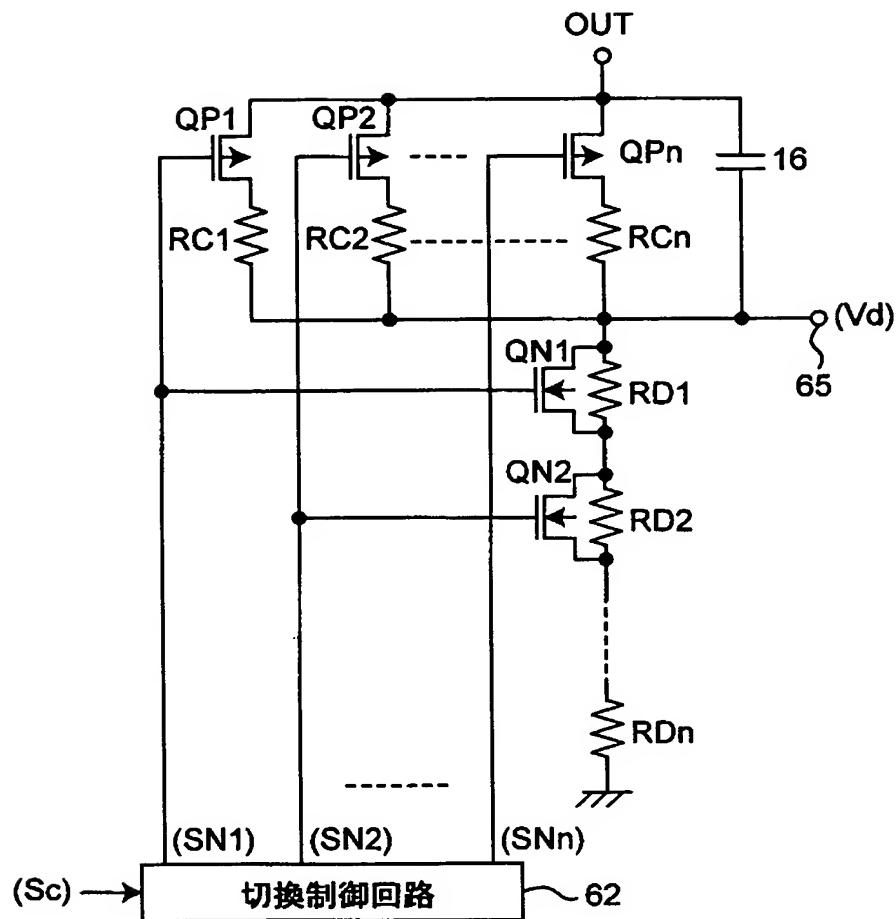
【図6】



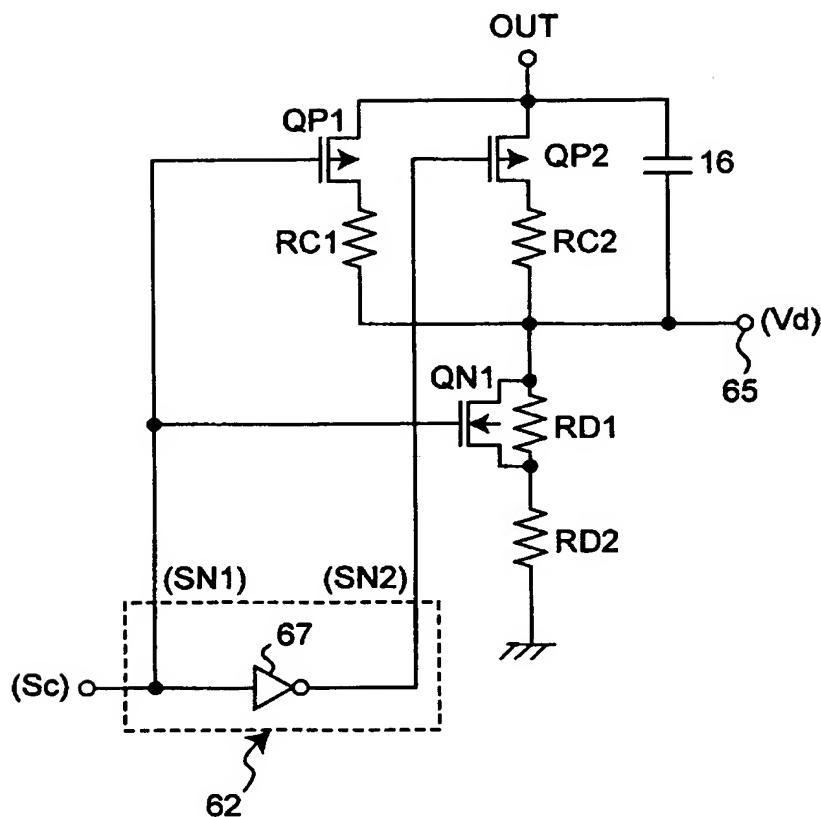
【図7】



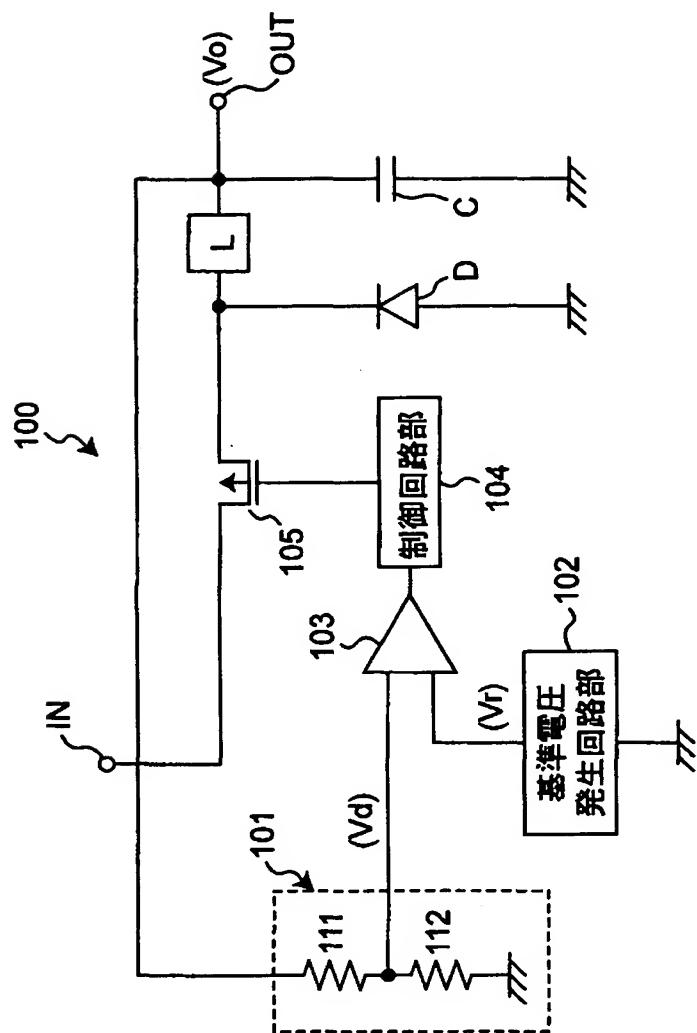
【図8】



【図9】



【図10】



【書類名】 要約書

【要約】

【課題】 電源回路自体の消費電力を低減させることができ、複数の出力電圧値を外部から選択することができる構成にしたことにより、負荷側が要求する電源電圧値が変更になった場合でも電源回路を変更することなく、出力電圧値を選ぶことができるDC-DCコンバータで構成された電源回路を得る。

【解決手段】 出力電圧 $V_o$ を分圧して分圧電圧 $V_d$ を生成し出力する、帰還回路を形成した分圧回路部5が、外部からの電圧切換信号 $S_c$ に応じて出力電圧 $V_o$ に対する分圧比を変えて分圧電圧 $V_d$ を生成して、出力電圧 $V_o$ の電圧値を切り換えるようにした。

【選択図】 図1

出願人履歴情報

識別番号 [000006747]

1. 変更年月日 2002年 5月17日

[変更理由] 住所変更

住 所 東京都大田区中馬込1丁目3番6号  
氏 名 株式会社リコー